УДК 621.396

И.В. Скоторенко

Метод уменьшения уровня побочных спектральных составляющих в синтезаторах частот с ФАПЧ, имеющих дробный делитель частоты

Предложен метод уменьшения уровня побочных спектральных составляющих в синтезаторах частот с фазовой автоподстройкой частоты, имеющих дробный делитель частоты. Приведена структурная схема синтезатора с уменьшенным уровнем побочных спектральных составляющих и описан алгоритм его работы.

Ключевые слова: фазовая автоподстройка частоты, синтезатор частот с ФАПЧ и дробным делителем частоты, электронный двухпозиционный переключатель, частотно-фазовый детектор, побочные спектральные составляющие.

При использовании синтезаторов частот (СЧ) с фазовой автоподстройкой частоты (ФАПЧ) и дробным делителем частоты, имеющим переменный коэффициент деления, шаг сетки синтезируемых частот всегда меньше частоты сравнения [1–6]. Это удобно, а зачастую и необходимо в случае мелкого шага сетки при высокой выходной частоте, т.е. при больших значениях N коэффициента деления дробного делителя частоты с переменным коэффициентом деления (ДДПКД).

Один из недостатков синтезатора частот с ФАПЧ, имеющего ДДПКД, – помехи, генерируемые синтезатором, так как в нем имеется паразитная связь между синтезируемым сигналом и входом частотно-фазового детектора со стороны ГОЧ. Из-за того, что синтезируемые частоты не кратны частоте сигнала на входе частотно-фазового детектора (не кратны частоте сравнения), в выходном сигнале появляются побочные (паразитные) спектральные составляющие (ПСС). Наихудший случай наблюдается тогда, когда разница между синтезируемыми частотами и ближайшей частотой, кратной частоте сравнения, настолько мала, что фильтр нижних частот не обеспечивает требуемого подавления побочных спектральных составляющих. На рис. 1 изображен спектр мощности синтезируемого сигнала СЧ с ФАПЧ и ДДПКД вблизи выходной частоты, кратной частоте сравнения в ЧФД, полученный экспериментально с использованием интегральной схемы HMC700LP4E фирмы Hittite.

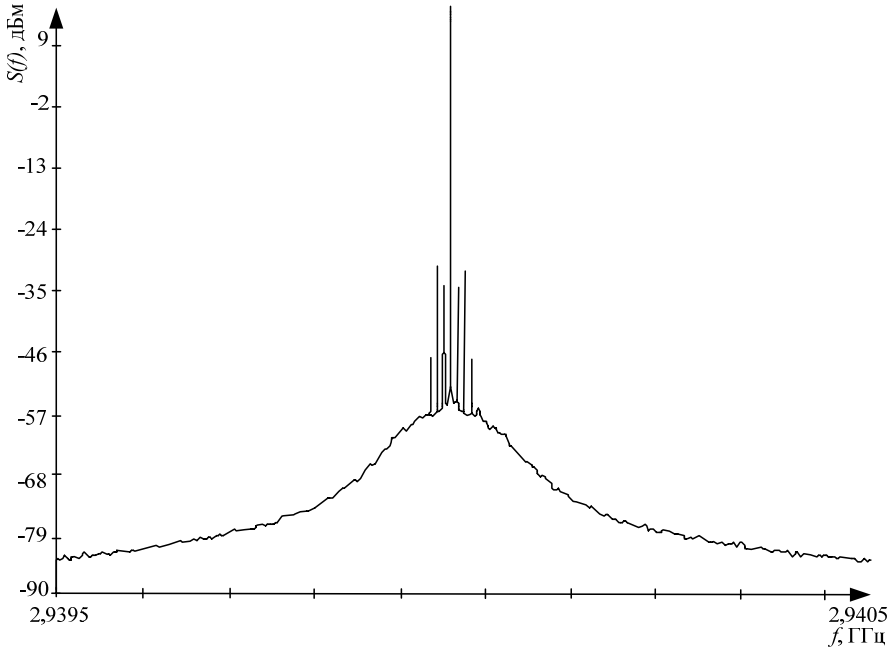

Рис. 1. Спектр мощности синтезируемого сигнала СЧ с ФАПЧ и ДДПКД вблизи выходной частоты, кратной частоте сравнения в ЧФД, полученный экспериментально с использованием интегральной схемы HMC700LP4E фирмы Hittite

Наибольший уровень побочных спектральных составляющих в синтезируемом сигнале находится вблизи частот

$$nf_{\text{ЧФД}} + f_{\text{ЧФД}}\, d/m, \text{ при } d < m, \quad m \le 4, \tag{1}$$

где n, d и m – целые числа, при этом бóльшему значению m соответствует меньший уровень побочных спектральных составляющих [7]; $f_{\text{ЧФД}}$ – частота сравнения, используемая в частотно-фазовом детекторе.

На рис. 2 изображены побочные спектральные составляющие в СЧ с ФАПЧ и ДДПКД, образующиеся из-за паразитной связи между синтезируемым сигналом и входом частотно-фазового детектора со стороны ГОЧ.

Уровень побочных спектральных составляющих в синтезируемом сигнале вблизи частот, определяемых выражением (1), уменьшается при выполнении условия:

$$nf_{\text{ЧФД}} + f_{\text{ЧФД}}\, d/m + l \cdot \Delta f_{\text{ФНЧ}}/m \le f_{\text{вых}} \le nf_{\text{ЧФД}} + f_{\text{ЧФД}}\, d/m - l \cdot \Delta f_{\text{ФНЧ}}/m,$$

где n, d и m – целые числа; $f_{\text{ЧФД}}$ – частота сравнения, используемая в частотно-фазовом детекторе; l – коэффициент, зависящий от параметров характеристики фильтра нижних частот и требуемого подавления побочных спектральных составляющих (бóльшему значению соответствует бóльшее подавление); $\Delta f_{\text{ФНЧ}}$ – полоса пропускания фильтра нижних частот; $f_{\text{вых}}$ – синтезируемая частота.

Патентуемый в настоящее время (проводится экспертиза по существу) предлагаемый метод позволяет уменьшить уровень побочных спектральных составляющих синтезируемого сигнала.

На рис. 3 изображена структурная схема синтезатора частот с уменьшенным уровнем ПСС.

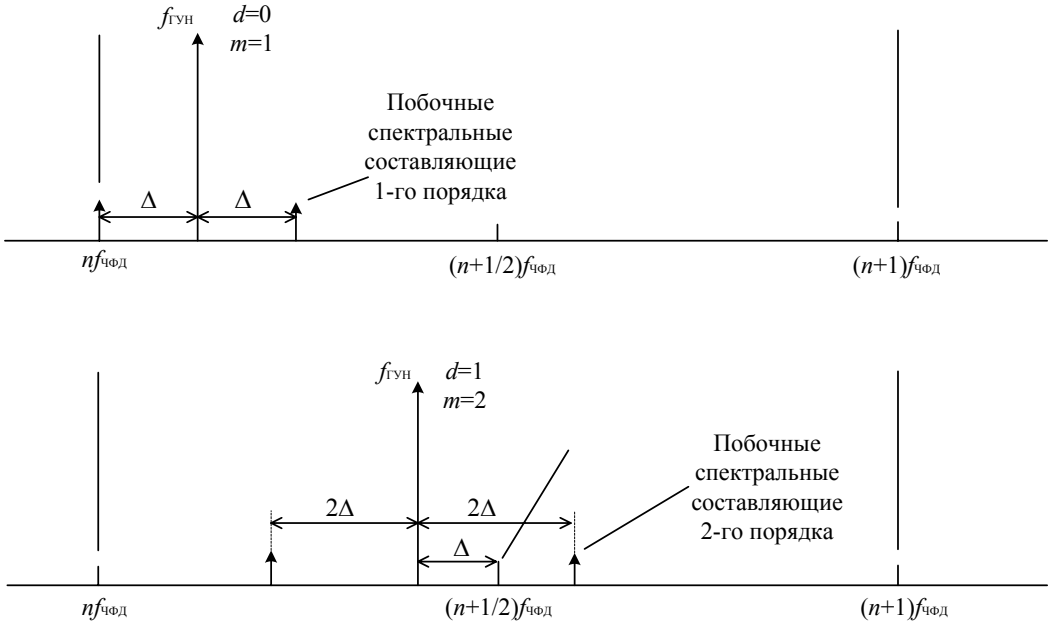

Рис. 2. Побочные спектральные составляющие в СЧ с ФАПЧ и ДДПКД

Частоты f_1 и f_2 для первого *2* и второго *3* генераторов опорных частот выбираются таким образом, чтобы выполнялись условия:

$$\left(1 - \frac{f_1/R - 7 \cdot l \cdot \Delta f_{\text{ФНЧ}}}{12 \cdot f_{\text{вых}}^{\max}}\right) f_1 \le f_2 \le \left(1 - \frac{2 \cdot l \cdot \Delta f_{\text{ФНЧ}}}{f_{\text{вых}}^{\min}}\right) f_1,$$

где R – коэффициент деления делителя частоты *6* с фиксированным коэффициентом деления; l – коэффициент, зависящий от параметров характеристики фильтра нижних частот *9* и требуемого подавления побочных спектральных составляющих синтезируемого сигнала; $\Delta f_{\text{ФНЧ}}$ – полоса пропускания фильтра нижних частот *9*; $f_{\text{вых}}^{\min}$ и $f_{\text{вых}}^{\max}$ – минимальная и максимальная синтезируемые частоты.

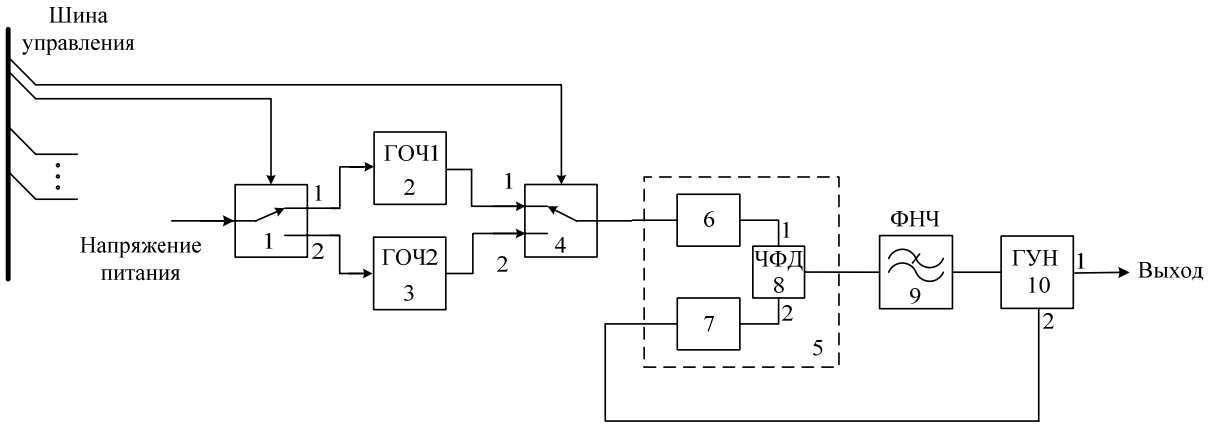

Рис. 3. Структурная схема синтезатора частот с уменьшенным уровнем ПСС:
1 – первый электронный двухпозиционный переключатель; *2* – первый генератор опорной частоты; *3* – второй генератор опорной частоты; *4* – второй электронный двухпозиционный переключатель; *5* – интегральная схема цифрового синтезатора частот; *6* – делитель частоты с фиксированным коэффициентом деления; *7* – дробный делитель частоты с переменным коэффициентом деления; *8* – частотно-фазовый детектор; *9* – фильтр нижних частот; *10* – генератор, управляемый напряжением

Предлагаемое устройство работает следующим образом.

При включении синтезатора частот на заданную частоту по управляющей шине поступают сигналы в двоичном коде на четыре управляющих входа: вход делителя частоты *7* с переменным коэффициентом деления, устанавливая в нем дробный коэффициент деления N_1, вход делителя частоты *6* с фиксированным коэффициентом деления, устанавливая в нем коэффициент деления R, вход первого электронного двухпозиционного переключателя *1*, соединяя в нем вход управляемого сигнала с его первым выходом, вход второго электронного двухпозиционного переключателя *4*, соединяя в нем первый вход управляемого сигнала с его выходом. Сигнал со второго выхода генератора *10* через дробный делитель частоты *7* и сигнал с выхода генератора *2* через делитель частоты *6* и второй переключатель *4* подаются соответственно на второй и первый входы частотно-фазового детектора *8*. Сигнал с выхода частотно-фазового детектора *8* через фильтр нижних частот *9* подается на вход генератора *10*, что через определенный промежуток времени обеспечивает вхождение в синхронизм частоты генератора *10* с частотой генератора *2* в кольце фазовой автоподстройки частоты, выполненном на основе генератора *10*. На первом выходе генератора *10* формируется синтезируемая частота $f_{\text{вых}}$, равная частоте сигнала f_1 первого генератора эталонной частоты *2*, умноженной на N_1/R. В режиме работы синтезатора при выполнении условия

$$\frac{f_1}{R}(n+d/m)-l\cdot\Delta f_{\text{ФНЧ}}/m \le f_{\text{вых}} \le \frac{f_1}{R}(n+d/m)+l\cdot\Delta f_{\text{ФНЧ}}/m,$$

где f_1 – частота первого генератора эталонной частоты *2*; R – коэффициент деления делителя частоты *6* с фиксированным коэффициентом деления; n, d и m – целые числа; R – коэффициент, зависящий от параметров характеристики фильтра нижних частот и требуемого подавления побочных спектральных составляющих; $\Delta f_{\text{ФНЧ}}$ – полоса пропускания фильтра нижних частот; $f_{\text{вых}}$ – синтезируемая частота, по управляющей шине поступают сигналы в двоичном коде на управляющие входы: делителя частоты *7*, устанавливая в нем дробный коэффициент деления N_2, соответствующий частотам f_2 и $f_{\text{вых}}$, делителя частоты *6*, устанавливая в нем коэффициент деления *R*, первого переключателя *1*, соединяя в нем вход управляемого сигнала с его вторым выходом, второго переключателя *4*, соединяя в нем второй вход управляемого сигнала с его выходом. Через определенный промежуток времени обеспечивается вхождение в синхронизм в кольце фазовой автоподстройки частоты, выполненном на основе генератора *10*. На первом выходе генератора *10* формируется частота $f_{\text{вых}}$, равная частоте сигнала f_2 второго генератора *3*, умноженной на N_2/R. При этом происходит исключение частотных участков $nf_{\text{ЧФД}}+f_{\text{ЧФД}}\,d/m\pm l\cdot\Delta f_{\text{ФНЧ}}/m$, в которых имеется высокий уровень побочных спектральных составляющих.

Цифровая часть синтезатора частот, которая включает в себя дробный делитель частоты *7* с переменным коэффициентом деления, делитель частоты *6* с фиксированным коэффициентом деления и частотно-фазовый детектор *8*, может быть выполнена на одной из микросхем цифрового синтезатора частот с импульсно-фазовой автоподстройкой частоты, например изготавливаемой фирмой Hittite микросхеме HMC 700/701/702 или 704. Первый *1* и второй *4* переключатели могут быть выполнены на микросхемах IRF7317 фирмы National Rectifier и HMC349 фирмы Hittite соответственно.

Основное достоинство предложенного метода состоит в том, что с помощью введенных новых узлов, объединенных новыми связями с остальными узлами схемы, осуществляется возможность уменьшения уровня побочных спектральных составляющих в выходном сигнале, что очень важно при использовании синтезаторов частот с дробным делителем частоты. Это позволяет использовать предлагаемый синтезатор в перспективных системах, где требуется обеспечение низкого уровня побочных спектральных составляющих в выходном сигнале при малых габаритах устройства и малой потребляемой мощности.

Литература

1. Browne J. Frequency Synthesizers Tune Communications Systems. – Microwaves&RF, March 2006. – 326 p.
2. Kroupa V. Frequency Synthesis Theory, Design and Applications. – New York: Wiley, 1973. – 431 p.
3. Manassewitsch V. Frequency Synthesizers Theory and Design, Third Edition. – New York: JohnWiley & Sons, 1987. – 384 p.
4. Rohde U. Microwave and Wireless Synthesizers: Theory and Design. – New York: John Wiley & Sons, 1997. – 638 p.
5. Klapper J. Phased-Locked and Frequency Feedback Systems / J. Klapper. – New York: Wiley, 1972. – 257 p.
6. Шахтарин Б.И. и др. Синтезаторы частот. – М.: Горячая линия – Телеком, 2007. − 128 с.
7. Datasheet HMC704LP4E 8 GHz 16-Bit Fractional N Synthesizer [Электронный ресурс]. – Режим доступа: http://www.hittite.com/content/documents/data_sheet/hmc704lp4.pdf, свободный (дата обращения: 30.05.2011).

Скоторенко Илья Вячеславович
Аспирант каф. радиотехнических систем ТУСУРа
Тел.: 8 (382-2) 41-36-70
Эл. почта: Skotorenko.I.V@yandex.ru

Skotorenko I.V.
Fractional-N PLL Synthesizer Spur Reduction Technique

Fractional-N PLL synthesizer spur reduction technique is described. The block diagram of the synthesizer with the reduced level of spurs is given as a result and the algorithm of its operation is described.
Keywords: phase-locked loop, Fractional-N PLL synthesizer, the electronic two-position switch, phase detector, spurs.